

[Claim 1]

5 A device isolation method of a semiconductor device is provided. An
oxidation barrier layer, a first insulating layer, and a second insulating layer
are sequentially stacked on a semiconductor substrate. The first and second
insulating layers are selectively etched to form a narrow opening and a wide
opening. Spacers are formed on inner sidewalls of the openings. Using the
10 spacers as etch masks, the semiconductor substrate is etched to form a
narrow trench and a wide trench. By thermally oxidizing insides of the
trenches, a first thermal oxidation layer is formed to bury the inside of the
narrow trench and to partially bury the inside of the wide trench. The inside
of the wide trench, which is buried by the first thermal oxidation layer, is
15 filled with a first material layer that can be oxidized. An upper portion of the
first material layer is oxidized to form a second thermal oxidation layer.

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 21/76

(45) 공고일자 1995년03월 14일
(11) 등록번호 특 1995-0002190
(24) 등록일자

(21) 출원번호	특 1992-0004179	(65) 공개번호	특 1993-0020634
(22) 출원일자	1992년03월 13일	(43) 공개일자	1993년 10월 20일
(73) 특허권자	삼성전자주식회사 김광호		
	경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	김윤기		
	강원도 원주시 단구동 74-18		
(74) 대리인	이영필, 최덕용		

심사관 : 정경덕 (특
자공보 제3896호)

(54) 반도체장치의 소자분리방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체장치의 소자분리방법

[도면의 간단한 설명]

제1도는 반도체장치의 소자형성영역과 소자분리영역을 나타내는 간략한 레이아웃도.

제2a도 내지 제2e도는 종래의 기술에 따른 반도체장치의 소자분리영역을 형성하는 공정을 도시한 공정순서도.

제3a도 내지 제3g도는 본 발명에 따른 반도체장치의 소자분리영역을 형성하는 공정을 도시한 공정순서도.

[발명의 상세한 설명]

본 발명은 반도체장치의 소자분리방법에 관한 것으로, 특히 반도체장치의 소자분리영역을 최소화할 수 있는 반도체장치의 소자분리방법에 관한 것이다.

최근 반도체장치의 제조기술의 발달과 메모리소자의 응용분야가 확장되어 감에 따라 대용량의 메모리소자의 개발이 진척되고 있는데, 이러한 메모리소자의 대용량화는 각 세대마다 2배로 진행되는 미세프로세스 기술을 기본으로 한 메모리셀 연구에 의해 추진되어 오고 있다. 특히 소자간을 분리하는 소자분리영역의 축소는 메모리소자의 미세화 기술에 있어서 중요한 항목중의 하나로 대두되고 있다.

종래의 소자분리기술로는 반도체기판상에 두꺼운 산화막을 선택적으로 성장시켜 소자분리영역을 형성하는 LOCOS(LOCAl Oxidation of Silicon) 기술이 최근까지 주종을 이루었다. 그러나 상기 LOCOS 기술은 소자분리영역의 측면확산 및 버즈비크(bird's beak)에 의해 소자분리영역의 폭을 감소시킬 수 없다. 따라서 소자설계치수가 서브마이크론(submicron) 이하로 줄어드는 대용량의 메모리소자에 있어서는 상기 LOCOS 기술의 적용이 불가능하기 때문에 새로운 소자분리기술이 필요하게 되었다.

이에 따라 새로운 소자분리기술의 필요성과 에칭(etching) 기술의 발달로, 반도체기판에 폭 1 μ m 이하, 깊이가 수 μ m 정도의 홈을 형성하여 소자간을 전기적으로 분리할 수 있는 트렌치를 이용한 소자분리기술이 나오게 되었다. 이 트렌치를 이용한 소자분리기술에 의해 종래의 LOCOS 기술에 비해 80%에 가까운 소자분리영역의 축소가 가능해졌다.

제 1 도는 반도체장치의 소자형성영역과 소자분리영역을 형성하기 위한 간략한 레이아웃도이다.

제 1 도를 참조하면, 소자분리영역과 활성영역을 구분하기 위한 마스크패턴(P)을 도시한 것으로서, 'P'로 표시된 박스(box) 내부가 소자가 형성되는 활성영역에 해당하며, 그 이외의 부분이 소자분리를 위한 필드산화막 내지는 트렌치가 형성되는 소자분리영역에 해당한다.

일반적으로 대용량의 반도체소자에 있어서, 고집적화로 인해 소자형성영역을 정의하는 마스크패턴(P)간의 간격이 AA' 선을 기준으로 했을때 일정하지 않고, 'B'와 'C'처럼 서로 다른 것을 볼 수 있다. 즉,

서로 다른 크기를 갖는 필드산화막 또는 트렌치가 형성되어야 함을 알 수 있다.

제2a도 내지 제2e도는 종래의 기술에 의한 반도체장치의 소자분리영역을 형성하는 공정을 도시한 공정순서도로서, 제 1 도의 AA'선을 자른 단면구조이다.

먼저 제2a도를 참조하면, 반도체기판(100)상에 패드산화막(1), 제 1 절연막(5), 제 2 절연막(10)을 순차 적층시킨다. 이때 상기 제 1 절연막은 예를들면 실리콘나이트라이드를, 제 2 절연막(10)은 HTO(High Temperature Oxide)를 절연물질로 사용한다. 이어서 상기 제 2 절연막(10)위에 포토레지스트를 도포, 마스크 노광 및 현상하여 제 1 도의 참조부호 P와 같은 제 1 마스크패턴(15)을 형성하고 상기 제 1 마스크 패턴(15)을 적용하여 상기 제 2 절연막(10) 및 제 1 절연막(5)을 선택적으로 식각한다.

제2b도를 참조하면, 상기 제 1 마스크패턴을 제거하고 상기 식각된 제 2 절연막(10) 및 제 1 절연막(5)을 제 2 마스크패턴으로 하여 상기 패드산화막(1)을 이온반응성 에칭(RIE; Reactive Ion Etching)하여 상기 반도체기판(100)의 소정의 영역을 노출시켜 가로폭이 제 1 도의 참조부호 B와 같은 개구부(이하, 좁은 개구부라 한다)와, 참조부호 C와 같은 개구부(이하, 넓은 개구부라 한다)를 형성한다. 이어서 상기 좁은 개구부 및 넓은 개구부를 통하여 상기 반도체기판(100)을 식각함으로써 가로폭이 B인 트렌치(20)(이하, 좁은 트렌치라 한다)와, 가로폭이 C인 트렌치(25)(이하, 넓은 트렌치라 한다)를 형성한다. 이때 상기 제 2 절연막(10)은 패드산화막(1)의 식각공정시 식각선택비에 따라 식각되어 적은양이 남아있게 된다.

제2c도를 참조하면, 상기 좁은 트렌치(20)과 넓은 트렌치(25)의 내벽을 열산화시켜 500Å 이하의 제 1차 열산화막(30)을 형성한 후 결과를 전면에 산화가 가능한 물질로서 예를 들면, 다결정 실리콘을 소정의 두께로 도포하여 제 1 물질층(35)을 형성시킨 후 이것을 이방성 식각하여 상기 트렌치 내부에만 남아있도록 한다. 이때 상기 넓은 트렌치의 가운데 부분은 A처럼 함몰됨을 볼 수 있다.

제2d를 참조하면, 상기 트렌치(20,25)의 상부 영역의 제 1 물질층을 열산화시켜 필드산화막(40)을 형성한다. 이때 상기 좁은 트렌치(20)의 상부 영역은 평탄화되지만 넓은 트렌치(25) 상부의 필드산화막(40)은 함몰된 종전의 형태에 따라 A'처럼 함몰된다.

제2e도를 참조하면, 상기 제 2 절연막 및 제 1 절연막을 VOE(Buffered Oxide Etchant) 용액 또는 인산(H_3PO_4)용액으로 처리하여 제거한 후 회생산화막을 성장시켜 스트레스(Stress)를 보상하고 다시 상기 회생산화막 및 필드산화막(40)의 일부를 식각하여 소자분리영역을 완성한다. 이때도 역시 상기 넓은 트렌치 상부의 가운데 부분이 A'처럼 함몰된다.

상기와 같은 종래의 기술에 의해 제조된 반도체장치의 소자분리영역은, 제2e도의 A'과 같은 절연 매립물의 함몰로 표면이 평탄하지 못하여 후속공정인 게이트전극이나 비트라인의 형성시에 도전물질이 잘 증착되지 않거나, 도전물질이 울퉁불퉁한 표면을 따라 이동하여 가장자리와 중간부분의 도전층의 두께가 달라지므로 상기 도전층의 저항값이 증가하게 되거나 또는 상기 평탄하지 못한 표면에 도전물질을 도포한 후 식각에 의해 불필요한 부분을 제거할 때 하부 단차물의 음영효과에 의해 단차물의 측벽을 따라 도전물질이 완전히 제거되지 않고 잔여물이 남아 소자동작시 원하지 않는 인접부분간을 서로 연결시켜 누설전류가 흐르게 하는 스트링거(stringer)가 발생하게 되는 등 결과적으로 반도체소자의 전기적 특성 및 신뢰도를 저하시킨다. 뿐만 아니라 제2e도의 참조부호 R에서 나타나는 것처럼 버즈비크현상이 발생하여 소자분리영역의 크기를 줄일 수 없으며, 상기 제 2 절연막의 습식식각시에 필드산화막의 일부분이 동시에 식각되어 후에 필드산화막의 두께를 보상해야 하는데 이 과정에서 상기 버즈비크가 더 커지게 된다.

따라서 본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하여 전기적으로 안정되고 동시에 소자분리영역을 최소화할 수 있는 소자분리방법을 제공하는 것이다.

상기 목적을 달성하기 위한 본 발명의 소자분리방법은, 반도체기판상에 산화저지막, 제 1 절연막, 제 2 절연막을 순차 적층시키는 공정, 상기 제 1 절연막 및 제 2 절연막을 선택적으로 식각하여 좁은 개구부와 넓은 개구부를 형성하는 공정, 상기 개구부의 내측벽에 스페이서를 형성하는 공정, 상기 스페이서를 마스크로 하여 반도체기판을 식각함으로써 좁은 트렌치와 넓은 트렌치를 형성하는 공정, 상기 트렌치 내부를 열산화시켜 제 1차 열산화막을 형성함으로써 좁은 트렌치의 내부를 매립시키고, 동시에 넓은 트렌치의 내부를 일부 매립시키는 공정, 그 내부의 일부가 상기 제 1차 열산화막으로 매립된 넓은 트렌치의 내부를 산화가 가능한 제 1 물질층으로 채우는 공정, 및 상기 제 1 물질층의 상부를 산화시켜 제 2차 열산화막을 형성하는 공정을 구비하여 이루어지는 것을 특징으로 한다.

이하, 첨부 도면을 참조하여 본 발명을 좀 더 상세하게 설명하고자 한다.

제3a도 내지 제3g도는 본 발명에 따른 반도체장치의 소자분리영역을 형성하는 공정을 도시한 공정순서도로서, 제 1 도의 AA' 선을 자른 단면구조이다.

먼저 제3a도를 참조하면, 반도체기판(100)상에 산화저지막을 형성하기 위한 물질로서 예를들면 옥시나이트라이드실리콘(Oxynitride-silicon : SiO_xNY)을 240Å 정도의 두께로 증착시켜 산화저지막(2)을 형성하고, 그 위에 제 1 절연막을 형성하기 위한 물질로서 예를들면 실리콘나이트라이드를 1500Å 정도의 두께로 증착시켜 제 1 절연막(5)을 형성한다. 이어서, 상기 제 1 절연막(5) 위에 제 2 절연막을 형성하기 위한 물질로서 예를들면 HTO막(10)을 1000Å 정도의 두께로 형성한 후 그 위에 포토레지스트를 도포, 마스크 노광 및 현상등의 공정을 거쳐 제 1 도의 마스크패턴 P와 같은 제 1 포토레지스트패턴(15)을 형성하고 이것을 마스크로 적용하여 상기 제 2 절연막(10)을 선택적으로 식각하여 64Mb급 반도체소자의 경우에는 0.5 μ m의 좁은 개구부(20)와 0.9 μ m의 넓은 개구부(25)를, 256Mb급 반도체소자의 경우에는 0.4 μ m의 좁은 개구부(20)와 0.6 μ m의 넓은 개구부(25)를 형성한다.

제3b도를 참조하면, 상기 제 1 포토레지스트패턴을 제거하고 상기 제 2 절연막(10)을 마스크로 하여 상기 제 1 절연막(5)을 식각한 후 결과물 전면에 제 3 절연막을 형성하기 위한 물질로 상기 제 1 절연막과 같은 물질인 실리콘나이트라이드를 2000Å 정도의 두께로 증착시켜 제 3 절연막(16)을 형성한다.

제3c도를 참조하면, 상기 제 3 절연막이 형성된 구조를 전면을 이방성 식각하여 상기 개구부(20,25)의

내측벽에 스페이서(17)를 형성한다. 이때 상기 좁은 개구부(20)의 내측벽에 형성된 스페이서간의 간격은 64Mb급 반도체소자의 경우에는 $0.3\mu\text{m}$, 256Mb급 반도체소자의 경우에는 $0.1\mu\text{m}$ 이고, 상기 넓은 개구부(25)의 내측벽에 형성된 스페이서간의 간격은 64Mb급 반도체소자의 경우에는 $0.6\mu\text{m}$, 256Mb급 반도체소자의 경우에는 $0.4\mu\text{m}$ 이다. 그리고 상기 제 3 절연막(10)은 식각선택비에 따라 식각되어 적은양이 남게된다. 이어서 상기 스페이서(17)를 마스크로 하여 상기 산화저지막(2)을 식각한다.

제3d도를 참조하면, 상기 스페이서(17)를 마스크로 하여 상기 반도체기판(100)을 식각하여 좁은 트렌치(30)와 넓은 트렌치(35)를 형성한다. 이어서 상기 제 2 절연막의 잔여부분을 BOE용액이나 인산용액으로 처리하여 제거한다. 상기 스페이서는 포토공정에 의해 형성된 개구부의 크기를 줄여줌으로써, 더욱 고집화되어 포토공정에 의해 형성할 수 없는 크기의 한계를 극복할 수 있다.

제3e도를 참조하면, 상기 트렌치(30,35)의 내부를 열산화시켜 1000\AA 정도의 제 1 차 열산화막(40)을 형성함으로써, 상기 좁은 트렌치(30)의 내부는 상기 제 1 차 열산화막으로 매립되고, 상기 넓은 트렌치(35)의 내부는 그 내벽에 상기 두꺼운 제 1 차 열산화막(40)으로 일부가 매립된다. 이어서, 상기 제 1 차 열산화막(40)형성공정 후 결과물 전면에 산화가 가능한 물질로서 예를 들면, 다결정 실리콘을 7000\AA 의 두께로 도포하여 제 1 물질층(45)을 형성하고 다시 상기 제 1 물질층(45)을 이방성 식각하여 상기 트렌치(30,35)의 내부에만 남아있도록 한다. 이때 상기 좁은 트렌치(30)의 상부의 일부분에는 상기 제 1 차 열산화막(40)으로 상기 좁은 트렌치(30)를 완전히 매립하지 못한 경우에 상기 제 1 물질층(45)이 잔재할 수 있다.

제3f도를 참조하면, 상기 트렌치(30,35) 상부의 다결정 실리콘을 열산화시켜 $1000\text{\AA}\sim 1500\text{\AA}$ 정도의 제 2 차 열산화막(50)을 형성한다. 이어서 상기 산화방지막; 제 1 절연막 및 스페이서를 습식식각하여 제거한다.

제3g도를 참조하면, 상기 습식식각공정시 발생할 수 있는 스트레스를 보상하기 위해 희생산화막을 성장시키고 희생산화막 및 제 2 차 열산화막(50)의 일부분을 다시 BOE용액으로 습식식각시킴으로써 소자분리영역을 완성한다. 상기 소자분리영역의 크기는 64Mb급 반도체소자의 경우에 있어서는 좁은 트렌치부분과 넓은 트렌치부분이 각각 $0.35\mu\text{m}$, $0.8\mu\text{m}$ 이고, 256Mb급 반도체소자의 경우에 있어서는 좁은 트렌치부분과 넓은 트렌치부분이 각각 $0.25\mu\text{m}$, $0.5\mu\text{m}$ 정도이다.

따라서, 상기와 같은 본 발명에 따른 소자분리방법은 종래 기술에서 문제시되던 넓은 트렌치내의 가운데 부분의 절연물이 환율되는 것을 트렌치 내부에 1차적으로 두꺼운 열산화막을 형성하고 다시 상기 두꺼운 열산화막으로 매립되지 않은 일부 영역만을 다결정 실리콘으로 매립하여 산화시킴으로써 소자분리영역의 평탄화 특성을 향상시킬 수 있다. 그리고, 필드산화막 형성시 같이 산화되어 버즈비크를 발생시키는 패드산화막 대신 산화되지 않는 물질인 옥시나이트라이드실리콘을 사용함으로써 버즈비크의 발생을 저지할 수 있다.

또한, 질화막으로 개구부의 내측벽에 스페이서를 형성하여 상기 개구부의 크기를 줄여줌으로써, 고도로 고집화되어 포토공정에 의해 형성할 수 없는 크기의 한계를 극복할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며 본 발명의 주된 기술적 사상을 벗어나지 않는 범위내에서 당 분야의 통상의 지식을 가진 자에 의해 여러가지 변형이 가능하다.

(57) 청구의 범위

청구항 1

반도체기판상에 산화저지막, 제 1 절연막, 제 2 절연막을 순차 적층시키는 공정 ; 상기 제 1 절연막 및 제 2 절연막을 선택적으로 식각하여 좁은 개구부와 넓은 개구부를 형성하는 공정 ; 상기 개구부의 내측벽에 스페이서를 형성하는 공정 ; 상기 스페이서를 마스크로 하여 반도체기판을 식각함으로써 좁은 트렌치와 넓은 트렌치를 형성하는 공정 ; 상기 트렌치 내부를 열산화시켜 제 1 차 열산화막을 형성함으로써 좁은 트렌치의 내부를 매립시키고, 동시에 넓은 트렌치의 내부를 일부 매립시키는 공정 ; 그 내부의 일부가 상기 제 1 차 열산화막으로 매립된 넓은 트렌치의 내부를 산화가 가능한 제 1 물질층으로 채우는 공정 ; 및 상기 제 1 물질층의 상부를 산화시켜 제 2 차 열산화막을 형성하는 공정을 구비하여 이루어지는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 2

제 1 항에 있어서, 상기 좁은 개구부는 폭이 $0.5\mu\text{m}$, 상기 넓은 개구부는 $0.9\mu\text{m}$ 인 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 좁은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.3\mu\text{m}$, 상기 넓은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.6\mu\text{m}$ 인 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 4

제 3 항에 있어서, 상기 스페이서를 마스크로 하여 형성된 상기 좁은 트렌치와 넓은 트렌치 내부의 제 1 차 열산화막의 두께는 1000\AA 이상임을 특징으로 하는 반도체장치의 소자분리방법.

청구항 5

제 4 항에 있어서, 상기 넓은 트렌치 내부의 제 2 차 열산화막의 두께는 $1000\text{\AA}\sim 1500\text{\AA}$ 정도임을 특징으로 하는 반도체장치의 소자분리방법.

청구항 6

제 5 항에 있어서, 상기 좁은 트렌치를 매립하여 형성된 소자분리영역은 $0.35\mu\text{m}$, 상기 넓은 트렌치를 매립하여 형성된 소자분리영역은 $0.8\mu\text{m}$ 정도임을 특징으로 하는 반도체장치의 소자분리방법.

청구항 7

제 6 항에 있어서, 상기 소자분리영역은 64Mb급 반도체메모리소자에 적용함을 특징으로 하는 반도체장치의 소자분리방법.

청구항 8

제 1 항에 있어서, 상기 좁은 개구부는 폭이 $0.4\mu\text{m}$, 상기 넓은 개구부는 $0.6\mu\text{m}$ 인 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 9

제 1 항 또는 제 8 항에 있어서, 상기 좁은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.1\mu\text{m}$, 상기 넓은 개구부의 내측벽에 형성된 스페이서간의 간격은 $0.4\mu\text{m}$ 인 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 10

제 9 항에 있어서, 상기 스페이서를 마스크로 하여 형성된 상기 좁은 트렌치와 넓은 트렌치 내부의 제 1 차 열산화막의 두께는 1000\AA 이상임을 특징으로 하는 반도체장치의 소자분리방법.

청구항 11

제 10항에 있어서, 상기 좁은 트렌치를 매립하여 형성된 소자분리영역은 $0.25\mu\text{m}$, 상기 넓은 트렌치를 매립하여 형성된 소자분리영역은 $0.5\mu\text{m}$ 정도임을 특징으로 하는 반도체장치의 소자분리방법.

청구항 12

제 11항에 있어서, 상기 소자분리영역은 256Mb급 반도체메모리소자에 적용함을 특징으로 하는 반도체장치의 소자분리방법.

청구항 13

제 1 항에 있어서, 상기 산화저지막은 옥시나이트라이드실리콘을 240\AA 정도의 두께로 형성하여 이루어지는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 14

제 1 항에 있어서, 상기 제 1 절연막은 실리콘나이트라이드를 1500\AA 정도의 두께로 형성하여 이루어지는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 15

제 1 항에 있어서, 상기 제 2 절연막은 HTO를 1000\AA 정도의 두께로 형성하여 이루어지는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 16

제 1 항에 있어서, 상기 스페이서는 상기 개구부 형성후 결과물 전면에 실리콘나이트라이드를 2000\AA 정도의 두께로 형성하고, 이어서 상기 실리콘나이트라이드에 대한 이방성 식각을 실시함으로써 형성되는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 17

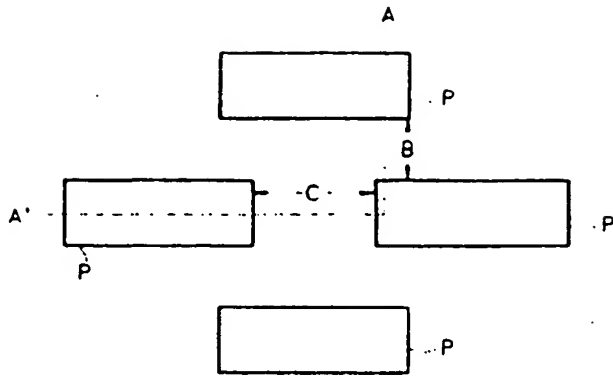
제 1 항 또는 제 15항에 있어서, 상기 제 2 절연막은 상기 트렌치 형성공정후 제거됨을 특징으로 하는 반도체장치의 소자분리방법.

청구항 18

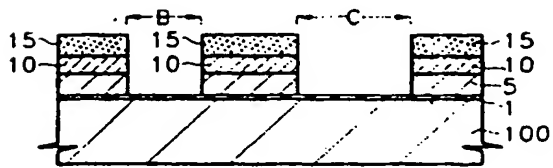
제 1 항에 있어서, 상기 제 1 물질층은 다결정 실리콘인 것을 특징으로 하는 반도체장치의 소자분리방법.

도면

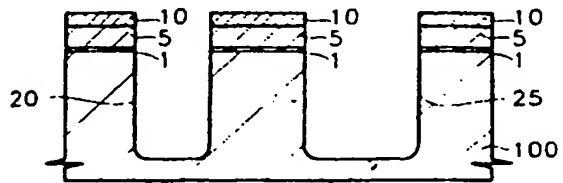
도면1



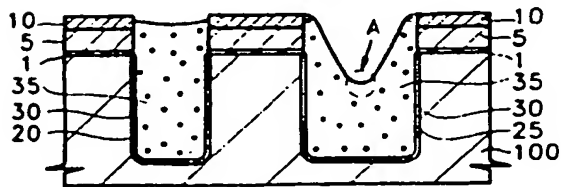
도면2a



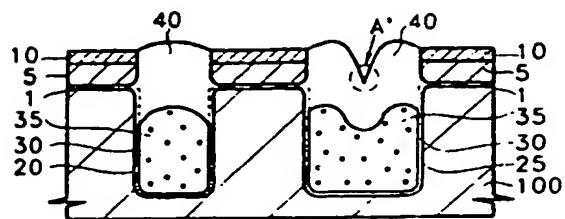
도면2b



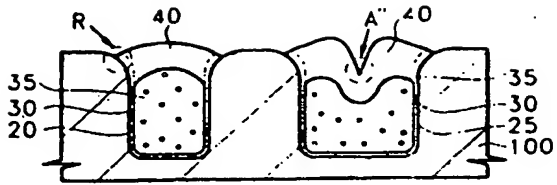
도면2c



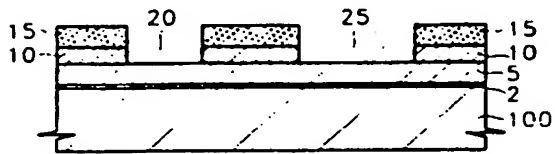
도면2d



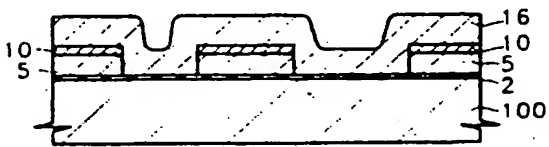
도면2b



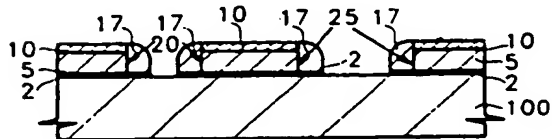
도면3a



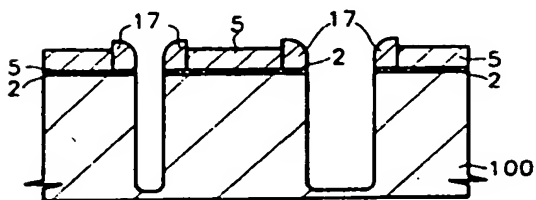
도면3b



도면3c



도면3d



도면3e

